

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-77315

(P2001-77315A)

(43) 公開日 平成13年3月23日 (2001.3.23)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テラト* (参考)
H 0 1 L 27/04		H 0 1 L 27/04	L
21/822			
H 0 1 F 17/00		H 0 1 F 17/00	B
41/04		41/04	C

審査請求 未請求 請求項の数25 O L (全 17 頁)

(21) 出願番号 特願2000-189937 (P2000-189937)  
 (22) 出願日 平成12年6月23日 (2000.6.23)  
 (31) 優先権主張番号 特願平11-185119  
 (32) 優先日 平成11年6月30日 (1999.6.30)  
 (33) 優先権主張国 日本 (J P)

(71) 出願人 000003078  
 株式会社東芝  
 神奈川県川崎市幸区堀川町72番地  
 (72) 発明者 松尾 美恵  
 神奈川県横浜市磯子区新杉田町8番地 株  
 式会社東芝横浜事業所内  
 (72) 発明者 松永 範昭  
 神奈川県横浜市磯子区新杉田町8番地 株  
 式会社東芝横浜事業所内  
 (74) 代理人 100058479  
 弁理士 鈴江 武彦 (外6名)

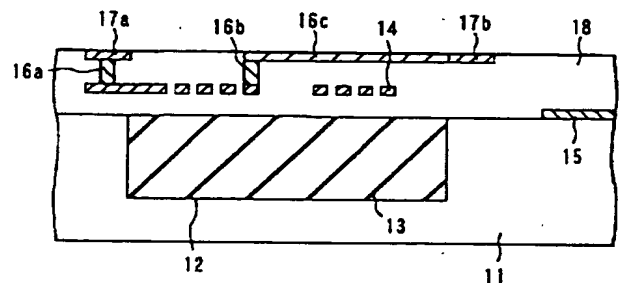
最終頁に続く

(54) 【発明の名称】 集積回路装置及びその製造方法、並びに回路基板及びその製造方法

(57) 【要約】

【課題】 同一の半導体基板に能動素子と受動素子が形成された集積回路装置において、寄生容量及び寄生抵抗を十分に低減することができ、しかも十分な強度を得ることを可能にする。

【解決手段】 半導体基板11の同一面側に能動素子15と受動素子14が形成された集積回路装置であって、受動素子14は、半導体基板11の素子形成面側の深さ20 $\mu$ m以上の溝に絶縁物13が充填された絶縁領域上に形成されている。



1

## 【特許請求の範囲】

【請求項1】半導体基板の同一面側に能動素子と受動素子が形成された集積回路装置であって、

前記受動素子は前記半導体基板の素子形成面側の深さ20 $\mu\text{m}$ 以上の溝に絶縁物が充填された絶縁領域上に形成されていることを特徴とする集積回路装置。

【請求項2】前記受動素子は、インダクタであることを特徴とする請求項1に記載の集積回路装置。

【請求項3】半導体基板の同一面側に能動素子と受動素子を形成する集積回路装置の製造方法であって、半導体基板の素子形成面側に深さ20 $\mu\text{m}$ 以上の溝を形成する工程と、この溝に絶縁物を充填して絶縁領域を形成する工程と、この絶縁領域上に受動素子を形成する工程とを有することを特徴とする集積回路装置の製造方法。

【請求項4】前記受動素子は、インダクタであることを特徴とする請求項3に記載の集積回路装置の製造方法。

【請求項5】前記溝は、異方性エッチングによって形成されることを特徴とする請求項3又は4に記載の集積回路装置の製造方法。

【請求項6】前記異方性エッチングは、フッ素系ガスを用いた反応性イオンエッチングであることを特徴とする請求項5に記載の集積回路装置の製造方法。

【請求項7】前記溝に絶縁物を充填して絶縁領域を形成する工程は、前記溝に絶縁性流体を埋め込んだ後、該絶縁性流体を固化させる工程を含むことを特徴とする請求項3又は4に記載の集積回路装置の製造方法。

【請求項8】前記溝を形成する工程は、前記半導体基板に能動素子を形成した後に行われることを特徴とする請求項3又は4に記載の集積回路装置の製造方法。

【請求項9】半導体基板からなり一方の面側に能動素子が形成された第1の基板と、一方の面側に受動素子が形成され該受動素子が形成された側の面と逆側の面が前記第1の基板の能動素子が形成された側の面に対向する第2の基板と、前記第2の基板を貫通し前記第1の基板に形成された能動素子と前記第2の基板に形成された受動素子とを電気的に接続する貫通電極とを有することを特徴とする集積回路装置。

【請求項10】前記受動素子は、インダクタであることを特徴とする請求項9に記載の集積回路装置。

【請求項11】前記第2の基板は半導体基板であり、該半導体基板の抵抗率は第1の基板を構成する半導体基板の抵抗率よりも高いことを特徴とする請求項9又は10に記載の集積回路装置。

【請求項12】前記第2の基板は絶縁基板であることを特徴とする請求項9又は10に記載の集積回路装置。

【請求項13】前記貫通電極は、前記第2の基板に形成された接続穴に導電物を埋め込んで形成されたものであることを特徴とする請求項9又は10に記載の集積回路装置。

2

【請求項14】前記貫通電極は前記第1の基板上に形成された突起状電極であり、該突起状電極が前記第2の基板を貫通していることを特徴とする請求項9又は10に記載の集積回路装置。

【請求項15】前記第1の基板に形成された能動素子と前記第2の基板に形成された受動素子とは、前記貫通電極及び該貫通電極に対応して設けられたバンプによって電気的に接続されていることを特徴とする請求項9又は10に記載の集積回路装置。

10 【請求項16】前記第1の基板と第2の基板の対向面の間に絶縁物が充填されていることを特徴とする請求項9又は10に記載の集積回路装置。

【請求項17】第1の基板の一方の面側に能動素子を形成する工程と、第2の基板の一方の面側に受動素子を形成する工程と、前記第2の基板の前記受動素子が形成された側の面と逆側の面を前記第1の基板の前記能動素子が形成された側の面に対向させ、前記第1の基板に形成された能動素子と前記第2の基板に形成された受動素子とを第2の基板を貫通する貫通電極によって電気的に接続する工程とを有することを特徴とする集積回路装置の製造方法。

20 【請求項18】前記受動素子は、インダクタであることを特徴とする請求項17に記載の集積回路装置の製造方法。

【請求項19】前記インダクタは、メッキ法により選択的に形成されることを特徴とする請求項18に記載の集積回路装置の製造方法。

30 【請求項20】前記インダクタは、金属箔をバターンニングして形成されることを特徴とする請求項18に記載の集積回路装置の製造方法。

【請求項21】絶縁層と、磁性を有する導電性ペーストを硬化した導電物からなり、前記絶縁層を貫通する導電接続部と、前記絶縁層の少なくとも一方の面上に形成され、前記導電接続部に接続された導電パターンとを有することを特徴とする回路基板。

【請求項22】前記絶縁層はポリイミド系複合物によって形成されていることを特徴とする請求項21に記載の回路基板。

40 【請求項23】導電性シート上に磁性を有する導電性ペーストのパターンを形成し、該磁性を有する導電性ペーストを硬化させて導電接続部を形成する工程と、前記導電性シートの前記導電接続部が形成された面上に絶縁層を形成する工程と、前記導電性シートを所望の形状にバターンニングして導電パターンを形成する工程とを有することを特徴とする回路基板の製造方法。

50 【請求項24】導電性シート上に開口パターンを有するレジストパターンを形成する工程と、メッキ法により前記開口パターン内に選択的に導電接続部を形成する工程と、前記レジストパターンを除去する工程と、前記導電性シートの前記導電接続部が形成された面上に絶縁層を

3

形成する工程と、前記導電性シートを所望の形状にパターンニングして導電パターンを形成する工程とを有することを特徴とする回路基板の製造方法。

【請求項25】前記絶縁層はポリイミド系複合物によって形成されていることを特徴とする請求項23又は24に記載の回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路装置及びその製造方法、並びに回路基板及びその製造方法に関するものである。

【0002】

【従来の技術】半導体基板上に、トランジスタ等の能動素子と抵抗、キャパシタ及びインダクタ等の受動素子を集積化して、アンプやフィルタ等の回路を形成したモノリシックICは、生産コストを低くできること、消費電力を低減できること、小型化できる等の理由で、ワンチップ化が進んでいる。

【0003】しかしながら、半導体基板上にインダクタを形成する場合、インダクタを構成する導電体と半導体基板との間に寄生容量及び寄生抵抗（渦電流損）が生じるという問題がある。したがって、Q値の高いインダクタを得るためには、寄生容量及び寄生抵抗を低減する必要がある。

【0004】寄生容量及び寄生抵抗を低減する方法としては、半導体基板の表面に形成された溝（空洞）の上方にインダクタを形成する方法が提案されている。すなわち、インダクタを空中配線構造にして、インダクタと半導体基板の距離を遠くすることにより、寄生容量及び寄生抵抗を低減するというものである（例えば、USP 5 39241）。

【0005】しかしながら、上述した従来の構造では、インダクタを空中配線構造にしているため、十分な強度が得られないという問題があった。

【0006】また、トランジスタ等の能動素子と抵抗、キャパシタ及びインダクタ等の受動素子とをそれぞれ別の基板に作製し、両者をバンプによって接続するという提案もなされている（例えば、ISSCC98/SESSION16, DIGEST OF TECHNICAL PAPERS, pp248-249）。

【0007】しかしながら、能動素子が形成された基板と受動素子が形成された基板とは、それぞれの素子形成面が対向するように配置されている。そのため、トランジスタ等が形成された半導体基板とインダクタとは、バンプによって離間される距離だけしか離すことができない。したがって、トランジスタ等が形成された半導体基板の影響を十分に低減することは困難である。

【0008】また、絶縁層内に導電接続部を有する回路基板が従来より知られているが、従来技術では、導電接続部の形状制御が難しいといった問題や、導電接続部を形成するための工程が複雑化するという問題があっ

4

た。

【0009】

【発明が解決しようとする課題】このように、寄生容量及び寄生抵抗を低減するために、半導体基板の表面に形成された溝の上方にインダクタを形成するという提案がなされているが、インダクタを空中配線構造にしているため、十分な強度が得られないという問題があった。

【0010】また、能動素子が形成された基板と受動素子が形成された基板とを、バンプによって接続するという提案もなされているが、それぞれの素子形成面が対向するように両基板が配置されているため、能動素子が形成された半導体基板とインダクタとの距離を十分に離すことができず、半導体基板の影響を十分に低減することができないという問題があった。

【0011】さらに、絶縁層を貫通する導電接続部を有する回路基板において、従来は、導電接続部の形状制御が難しいといった問題や、導電接続部を形成するための工程が複雑化するという問題があった。

【0012】本発明は上述した従来の課題に対してなされたものであり、同一の半導体基板に能動素子と受動素子が形成された集積回路装置において、寄生容量及び寄生抵抗を十分に低減することができ、しかも十分な強度を得ることが可能な集積回路装置及びその製造方法を提供することを第1の目的としている。

【0013】また、能動素子が形成された半導体基板と受動素子が形成された基板とを適当な手段によって接続した集積回路装置において、半導体基板の影響を十分に低減することが可能な集積回路装置及びその製造方法を提供することを第2の目的としている。

【0014】さらに、絶縁層を貫通する導電接続部を有する回路基板において、導電接続部の形状制御を容易に行うことが可能、或いは導電接続部を形成するための工程を簡単化することが可能な回路基板及びその製造方法を提供することを第3の目的としている。

【0015】

【課題を解決するための手段】本発明は、半導体基板の同一面側に能動素子と受動素子が形成された集積回路装置であって、前記受動素子は前記半導体基板の素子形成面側の深さ20 $\mu$ m以上の溝に絶縁物が充填された絶縁領域上に形成されていることを特徴とする。

【0016】本発明は、半導体基板の同一面側に能動素子と受動素子を形成する集積回路装置の製造方法であって、半導体基板の素子形成面側に深さ20 $\mu$ m以上の溝を形成する工程と、この溝に絶縁物を充填して絶縁領域を形成する工程と、この絶縁領域上に受動素子を形成する工程とを有することを特徴とする。

【0017】前記受動素子は、インダクタ、特にスパイラルインダクタであることが好ましい。また、インダクタに用いる導電材料は、Cu、Au、Ag又はAlを主成分とするものであることが好ましい。

50

5

【0018】本発明によれば、半導体基板に形成された深さ20 $\mu$ m以上の溝に絶縁物を充填し、この絶縁物が充填された絶縁領域上に受動素子を形成するので、寄生容量及び寄生抵抗を十分に低減することができるのと同時に、十分な機械的強度を得ることができる。

【0019】前記集積回路装置の製造方法において、前記溝は異方性エッチングによって形成されることが好ましい。また、この異方性エッチングは、フッ素系ガスを用いた反応性イオンエッチング、特に高密度プラズマエッチングであることが好ましい。

【0020】本発明では、深さ20 $\mu$ m以上の深い溝を形成する必要があるが、異方性エッチングを用いることにより、基板に対してほぼ垂直な側面を有する溝を形成することができるため、深い溝であっても溝が形成される領域の面積を最小限に抑えることが可能となる。また、深い溝を形成するために、異方性エッチングの速度を通常のエッチング速度よりも早くすることが望ましいが、フッ素系ガスを用いた反応性イオンエッチングを用いることにより、高速度でエッチングを行うことが可能となる。

【0021】前記集積回路装置の製造方法において、前記溝に絶縁物を充填して絶縁領域を形成する工程は、前記溝に絶縁性流体を埋め込んだ後、該絶縁性流体を固化させる工程を含むことが好ましい。

【0022】本発明では、深さ20 $\mu$ m以上の深い溝を形成するため、堆積法によって絶縁物を形成すると、絶縁物の形成に長時間が費やされる。溝内に絶縁性流体を埋め込んだ後に絶縁性流体を固化させる（つまり、塗布膜を用いる）ことにより、絶縁物形成の効率化をはかることができる。

【0023】前記集積回路装置の製造方法において、前記溝を形成する工程は、半導体基板に能動素子を形成した後に行われることが好ましい。

【0024】一般に能動素子の形成には1000℃程度の高温が必要とされるが、溝を形成する前に予め能動素子を形成しておくことにより、溝に埋め込む絶縁材料として耐熱温度が低い絶縁膜、例えば有機系の塗布膜を用いることができ、絶縁物形成の効率化をはかることができる。

【0025】また、本発明に係る集積回路装置は、半導体基板からなり一方の面側に能動素子が形成された第1の基板と、一方の面側に受動素子が形成され該受動素子が形成された側の面と逆側の面が前記第1の基板の能動素子が形成された側の面に対向する第2の基板と、前記第2の基板を貫通し前記第1の基板に形成された能動素子と前記第2の基板に形成された受動素子とを電気的に接続する貫通電極とを有することを特徴とする。

【0026】また、本発明に係る集積回路装置の製造方法は、第1の基板の一方の面側に能動素子を形成する工程と、第2の基板の一方の面側に受動素子を形成する工

6

程と、前記第2の基板の前記受動素子が形成された側の面と逆側の面を前記第1の基板の前記能動素子が形成された側の面に対向させ、前記第1の基板に形成された能動素子と前記第2の基板に形成された受動素子とを第2の基板を貫通する貫通電極によって電気的に接続する工程とを有することを特徴とする。

【0027】前記受動素子は、インダクタ、特にスパイラルインダクタであることが好ましい。また、インダクタに用いる導電材料は、Cu、Au、Ag又はAlを主成分とするものであることが好ましい。

【0028】本発明によれば、能動素子用の半導体基板と受動素子との距離を、少なくとも受動素子用の基板の厚さ以上にすることができると、受動素子に対する能動素子用の半導体基板の影響を十分に低減することができる。

【0029】前記第2の基板には半導体基板を用いることができる。この場合、第2の基板を構成する半導体基板の抵抗率は、第1の基板を構成する半導体基板の抵抗率よりも高いことが好ましい。このような半導体基板としては、高抵抗のSi基板或いはGaAs基板等を用いることが可能である。

【0030】また、前記第2の基板には、絶縁基板を用いることができる。絶縁基板としては、ポリイミド、BCB（ベンゾシクロブタン）或いはエポキシ等の絶縁性樹脂基板（有機絶縁基板）の他、石英基板やセラミック基板等を用いることが可能である。

【0031】前記貫通電極には、第2の基板に形成された接続穴に導電物を埋め込んで形成されたものを用いることができる。また、前記貫通電極には第1の基板上に形成された突起状電極を用いることができ、この突起状電極が第2の基板を貫通しているようにしてもよい。

【0032】前記第1の基板に形成された能動素子と前記第2の基板に形成された受動素子とは、前記貫通電極及び該貫通電極に対応して設けられたパンプによって電気的に接続されていることが好ましい。

【0033】パンプを用いて接続することにより、受動素子と能動素子用の半導体基板との距離を、パンプの高さと受動素子用の基板の厚さの合計以上にすることができ、能動素子用の半導体基板の影響をより低減することができる。

【0034】前記第1の基板と第2の基板の対向面の間に、絶縁物を充填するようにしてもよい。絶縁物を充填することにより、特に受動素子用の基板の反り等が問題になる場合に、これを効果的に防止することができる。

【0035】前記インダクタは、メッキ法により選択的に形成される、或いは、金属箔をパターニングして形成されることが好ましい。

【0036】また、本発明に係る回路基板は、絶縁層と、磁性を有する導電性ペーストを硬化した導電物からなり、前記絶縁層を貫通する導電接続部と、前記絶縁層

50

7

の少なくとも一方の面上に形成され、前記導電接続部に接続された導電パターンとを有することを特徴とする。

【0037】また、本発明に係る回路基板の製造方法は、導電性シート上に磁性を有する導電性ペーストのパターンを形成し、該磁性を有する導電性ペーストを硬化させて導電接続部を形成する工程と、前記導電性シートの前記導電接続部が形成された面上に絶縁層を形成する工程と、前記導電性シートを所望の形状にパターニングして導電パターンを形成する工程とを有することを特徴とする。

【0038】本発明によれば、導電性ペーストが磁性を有しているので、磁気作用を利用して制御性よく導電性ペーストのパターンを形成することができ、簡単な工程で形状制御の容易な導電接続部を形成することができる。

【0039】また、本発明に係る回路基板の製造方法は、導電性シート上に開口パターンを有するレジストパターンを形成する工程と、メッキ法により前記開口パターン内に選択的に導電接続部を形成する工程と、前記レジストパターンを除去する工程と、前記導電性シートの前記導電接続部が形成された面上に絶縁層を形成する工程と、前記導電性シートを所望の形状にパターニングして導電パターンを形成する工程とを有することを特徴とする。

【0040】本発明によれば、メッキ法により開口パターン内に選択的に導電接続部を形成することにより、簡単な工程で導電接続部を形成することができるとともに、導電接続部の密着性を向上させることができる。

【0041】前記回路基板及び回路基板の製造方法において、前記絶縁層はポリイミド系複合物によって形成されていることが好ましい。特に、弾性率が10GPa未満の低弾性率のポリイミド系複合物（ポリイミドを含む複合物、ポリイミドを主成分の一つとした複合物）を用いることが好ましい。このようなポリイミド系複合物を用いることにより、メッキ処理等によって接着性に優れた絶縁層を接着層なしに容易に形成することができるため、製造工程の簡略化をはかることができる。

【0042】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0043】（実施形態1）まず、本発明の第1の実施形態について説明する。本実施形態は、同一の半導体基板上にMOSトランジスタ等の能動素子とインダクタ等の受動素子を形成したモノリシックICに関するものである。

【0044】図1は、本実施形態に係るモノリシックICの断面構成を示したものであり、図2は、図1に示した主としてスパイラルインダクタの平面構成を示したものである。

【0045】図1に示すように、シリコン基板11上に

8

は、溝12内に低誘電率絶縁膜13が埋め込まれた領域が設けられ、この絶縁領域上にスパイラルインダクタ14が形成されている。また、スパイラルインダクタ14の直下には強い電磁波が発生するため、能動素子部15（MOSトランジスタ等の能動素子及び1層目の配線等からなる）は、低誘電率絶縁膜13が埋め込まれた領域と離間した領域に設けられている。

【0046】溝12の深さ（溝12内の絶縁膜13の厚さ）は20 $\mu$ m以上であることが好ましく、本例では50 $\mu$ mとしている。低誘電率絶縁膜13の材料は特に限定されないが、本例では比誘電率が2.6程度の有機絶縁膜を用いている。

【0047】スパイラルインダクタ14は2層目の配線に用いる配線材料を用いて形成されており、本例では配線材料として低抵抗のCuを用いている。また、スパイラルインダクタ14は、配線幅8 $\mu$ m、スペース幅2 $\mu$ m、厚さ1 $\mu$ mであり、500 $\mu$ m角の領域に形成されている。

【0048】スパイラルインダクタ14の一端は接続部16aを介して端子17aに接続され、スパイラルインダクタ14の他端は接続部16b及び16cを介して端子17bに接続されている。

【0049】なお、上述した各構成要素は複数層の層間絶縁膜18によって周囲を覆われている。

【0050】以下、図1及び図2に示したモノリシックICの製造プロセスを、図3（a）～（d）を参照して説明する。

【0051】まず、図3（a）に示すように、通常の半導体プロセスを用いて、シリコン基板11上に能動素子部15（MOSトランジスタ等の能動素子等の他、MOSトランジスタのゲート及びソース・ドレインに接続される1層目の配線等からなる）を形成する。

【0052】続いて、反応性イオンエッチング（RIE）により、シリコン基板11に対して異方性エッチングを行い、溝12を形成する。本例では、溝12は、510 $\mu$ m角、深さ50 $\mu$ mとしている。溝12を形成する前に能動素子部15を予め形成しておくことにより、溝12に埋め込む絶縁材料として有機系絶縁膜を用いることができる（一般に有機系絶縁膜は耐熱温度が450℃程度であるため、能動素子の形成温度（～1000℃程度）に耐えられない。）。

【0053】図4は、インダクタに印加される周波数fを10GHzを超える高周波帯域で変化させたときの、溝内に埋め込まれる低誘電率絶縁膜の膜厚とQ値との関係を示したシミュレーション結果である。シミュレーションでは、シリコン基板の比抵抗を1.0 $\Omega \cdot \text{cm}$ 、インダクタの材料をCu、厚さを1 $\mu$ m、幅を20 $\mu$ m、全長を2 $\mu$ mとした。低誘電率絶縁膜の膜厚が厚いほど（溝の深さが深いほど）Q値は高くなるが、低誘電率絶縁膜の膜厚が20 $\mu$ m以下であると、Q値をあまり高く

9

することはできない。したがって、低誘電率絶縁膜の膜厚すなわち溝12の深さは20 $\mu$ m以上であることが好ましい。

【0054】このように深い溝12を形成する必要があるため、異方性エッチングの速度は、通常のエッチング速度よりも早くすることが望ましい。例えば、10 $\mu$ m/分以上の高速エッチングが必要である。このような高速エッチングを行うために、高密度プラズマ発生装置を用い、エッチングガスにはフッ素系ガス（例えば、SF系及びCF系ガス）を用いる。

【0055】次に、図3（b）に示すように、溝12内に低誘電率の絶縁物を埋め込んで、低誘電率絶縁膜13を形成する。溝12の深さが50 $\mu$ mと深いため、低誘電率絶縁膜13の形成には塗布膜を用いることが望ましい。本例では、有機系の塗布膜を用いている。塗布膜の形成には、ウエハを回転させて遠心力によりウエハ全体に絶縁性液体（絶縁性流体）を塗布するスピコート法、絶縁性流体を霧状にしてウエハに塗布するスプレーコート法、マスクとスキージを用いた印刷法等を用いることができる。

【0056】スピコート法を用いる場合には、厚い膜を形成する必要性から、液体の粘度は1000～10000cps程度と高くし、回転数は1000～10000rpm程度と比較的低くする。

【0057】スプレーコート法を用いる場合には、液体の粘度を1000cps以下と低くし、液体をミスト状にして方向性を持たせるようにする。スプレーコート法では、スプレーノズルをウエハに対してスキャンさせる方法を用いてもよいし、ウエハ全面を覆うスプレーノズルヘッドを用いる方法を用いてもよい。また、溝以外の部分には溝と同じ厚さに液体を塗布する必要がないので、溝以外の領域をマスクングしてスプレーするようにしてもよい。また、同様の理由から、スプレーノズルをスキャンさせて、溝の部分だけに選択的にスプレーを行うようにしてもよい。

【0058】印刷法を用いる場合には、液体の粘度を10000cps以上に高くすることが望ましい。マスクとスキージを用いての印刷では、必要な部分以外には液体は塗布されない。

【0059】上述した方法のいずれかを用いて、シリコン基板11上に絶縁性流体を塗布した後、塗布した液体を固体化することによって低誘電率絶縁膜13を形成する。絶縁性流体を固体化する方法としては、熱による硬化方法の他、電子ビーム或いは光による硬化方法があげられる。

【0060】なお、絶縁性流体としては、液体から固体になるときに体積変化が少ないもの（例えば、液体中の溶媒の割合が少ないもの）を用いることが望ましい。また、静止時に流動して平坦化するような流動性の高いものを用いることが望ましい。そのため、基板との濡れ性

10

は高い方がよい。また、大きな溝を埋める必要性並びに体積収縮を抑える必要性から、絶縁性流体として液体中に粒子状の絶縁物を混入させたものを用いてもよい。さらに、PTF等の密着性の低い基板上にフィルム状に形成した絶縁性材料を用い、この絶縁性材料を熱圧着によって溝が形成された基板に転写するようにしてもよい。

【0061】上述したような方法を用いてシリコン基板11上に低誘電率絶縁膜13を形成した後、溝12内以外の余剰の絶縁膜を取り除く。余剰の絶縁膜を取り除く方法としては、CMP法があげられる。また、塗布膜を硬化（ポリマー化）する前に、基板を高速回転させながら溶剤を吹き付け、塗布膜の表層領域をエッチバックする方法を用いることも可能である。

【0062】次に、図3（c）に示すように、下層側の層間絶縁膜18を形成した後、ダマシン構造のスパイラルインダクタ14を形成する。具体的には、層間絶縁膜18に溝を形成し、この溝にCuを埋め込んだ後、溝以外の余剰のCuをCMP法によって除去する。このスパイラルインダクタ14は、2層目の配線に用いる配線材料を用いて、2層目の配線の形成工程と同一の工程で形成することが好ましい。なお、スパイラルインダクタ14は、Al等の金属を全面に堆積した後、RIEによってAl等をパターニングすることによって形成してもよい。

【0063】最後に、図3（d）に示すように、上層側の層間絶縁膜18を形成した後、接続部16a、16b及び16cを形成し、さらに端子17a及び17bを形成する。これにより、図1及び図2に示すようなモノリシックICが完成する。

【0064】なお、本例では、有機系絶縁膜の耐熱温度が低いことから、能動素子を形成した後に溝形成及び溝内への絶縁膜の埋め込みを行ったが、耐熱性の高い絶縁膜を形成できる場合には、能動素子を形成する前に、溝形成及び溝内への絶縁膜の埋め込みを行ってもよい。また、本例では、スパイラルインダクタを2層目の配線に用いる配線材料を用いて形成したが、3層目以上の配線に用いる配線材料を用いて形成してもよい。

【0065】このように、本実施形態よれば、半導体基板に深さ20 $\mu$ m以上の溝を形成し、この溝に埋め込まれた絶縁膜上にスパイラルインダクタを形成するので、スパイラルインダクタに対する寄生容量及び寄生抵抗を十分に低減することができる。また、従来のようにインダクタを空中配線構造としていないので、十分な機械的強度を得ることができる。

【0066】（実施形態2）次に、本発明の第2の実施形態について説明する。本実施形態は、一方の基板上にMOSトランジスタ等の能動素子を形成し、他方の基板にインダクタ等の受動素子を形成し、両基板を接続して構成したモノリシックICに関するものである。

【0067】図5は、本実施形態の一例に係るモノリシ

11

ックICの断面構成を示したものであり、図6は、図5に示した主としてスパイラルインダクタの平面構成を示したものである。

【0068】図5に示すように、能動素子用の基板31には、n型或いはp型のシリコン基板が用いられており、このシリコン基板31上には、能動素子部32（MOSトランジスタ等の能動素子及び配線等からなる）が形成されている。また、このシリコン基板31上には、MOSトランジスタ等の能動素子に接続された端子（パッド）33が形成されており、この端子33上にはハンダを用いたバンパ34が形成されている。

【0069】受動素子用の基板41上には、抵抗率の高い（絶縁性の高い）真性シリコン基板（不純物を殆ど含まない高抵抗シリコン基板）が用いられる。この高抵抗シリコン基板41上には、絶縁膜42を介してスパイラルインダクタ43が形成されている。また、スパイラルインダクタ43の端子44（本例では8角形としている）の直下には、スルーホール（接続用穴）45内に絶縁膜46を介して貫通電極47が形成されている。この貫通電極47によって、スパイラルインダクタの端子44とバンパ34が接続されている。すなわち、貫通電極47によってスパイラルインダクタ43と、能動素子用の基板31に形成された能動素子とが電氣的に接続される。

【0070】スパイラルインダクタ43は電解メッキ法によって形成され、本例では、シード層43aとなるCu上にCu膜43bを形成した構造となっている。また、スパイラルインダクタ43は、配線幅8 $\mu$ m、スペース2 $\mu$ m、厚さ5 $\mu$ mであり、500 $\mu$ m角の領域に形成されている。

【0071】以下、図5及び図6に示したモノリシックICの製造プロセスについて説明する。

【0072】まず、受動素子用の基板41にスパイラルインダクタ等を形成する工程について、図7（a）～図8（f）を参照して説明する。

【0073】まず、図7（a）に示すように、高抵抗シリコン基板41上に、深さ50～100 $\mu$ m、直径30～50 $\mu$ mの接続用穴45を形成する。続いて、絶縁膜46を全面に形成し、さらに絶縁膜46上に金属膜47を形成する。

【0074】次に、図7（b）に示すように、CMP法を用いて、接続用穴45の外部に形成されている金属膜47及び絶縁膜46を除去し、接続用穴45内に金属膜47及び絶縁膜46を残置させる。接続用穴45内に残置した金属膜47は、貫通電極となるものである。

【0075】次に、図7（c）に示すように、全面に絶縁膜42を形成し、貫通電極47上及びその周囲に形成されている絶縁膜42を選択的に除去し、貫通電極47上の領域を露出させる。その後、スパイラルインダクタとなる金属膜を電解メッキ法により、以下のようにして

12

形成する。

【0076】まず、図7（d）に示すように、無電解メッキ法により、シード層43a（給電部）となるCu層を0.1 $\mu$ m程度の厚さで成膜する。シード層としては、下地との密着性をよくするために、バリア層を形成してもよい。バリア層としては、Cr、Ni、Pt等を用いることができる。続いて、シード層43a上にレジスト48をパターン形成する。

【0077】次に、図8（e）に示すように、基板をメッキ液に浸し、シード層43aとメッキ液との間に電界を印加してCu膜43bを形成する。レジスト48が形成されている部分にはCu膜43bは形成されないため、Cu膜43bはレジスト48のパターン間に露出しているシード層43a上に選択的に形成される。

【0078】次に、図8（f）に示すように、レジスト48を剥離液で剥離し、さらにシード層43aをウエットエッチングする。その際に、Cu膜43bも多少エッチングされることがあるが、そのような場合には、Cu膜43bの幅と厚さを大きめに設計しておけばよい。このようにして、シード層43a及びCu膜43bからなるスパイラルインダクタ43が形成される。最後に、シリコン基板41を裏面側から研磨し、貫通電極47の裏面を露出させる。

【0079】その後、必要に応じて、スパイラルインダクタ43が形成された側にパッシベーション膜等を形成する。

【0080】一方、能動素子用の基板31上には、図9に示すように、通常の半導体プロセスを用いて、能動素子部32（MOSトランジスタ等の能動素子及び配線等からなる）及びMOSトランジスタ等に接続された端子（パッド）33を形成し、さらに端子33上にハンダを用いたバンパ34を形成する。

【0081】以上のようにして用意した能動素子用の基板31及び受動素子用の基板41を対向させて位置合わせを行い、能動素子用の基板31上に形成されたバンパ34を受動素子用の基板41に形成された貫通電極47に圧着接続する。これにより、図5及び図6に示すようなモノリシックICが完成する。

【0082】なお、上述した例では、バンパを能動素子用の基板に形成したが、受動素子用の基板に形成してもよく、さらに両基板に形成するようにしてもよい。

【0083】また、受動素子用の基板の上方にさらに受動素子用の基板を積層し、これらを上述したのと同様の手法により、貫通電極及びバンパによって接続するようにしてもよい。これにより、複数の受動素子用の基板を能動素子用の基板の上方に積層することが可能となる。

【0084】本実施形態では、スパイラルインダクタ43と能動素子用のシリコン基板31との距離は、バンパ34の高さと受動素子用の基板41の厚さの合計以上あり、スパイラルインダクタ43に対する能動素子用のシ

13

リコン基板31の影響(寄生容量及び寄生抵抗(渦電流損))を小さくすることができる。

【0085】また、高周波領域で動作するデバイスでは、バンプ及びパッドと能動素子用の基板との間の容量をできるだけ小さくすることが望ましく、バンプやパッドの大きさは50 $\mu$ m程度以下にすることが望ましい。しかしながら、従来技術で述べたように、能動素子用の基板と受動素子用の基板とを、それぞれの素子形成面が対向するように配置した場合には、能動素子用の基板によるインダクタへの影響を弱くするために、バンプの大きさがある程度大きくして、両基板の距離を離す必要がある。そのため、バンプやパッドの大きさをあまり小さくすることはできなかった。本例では、インダクタと能動素子用の基板との距離が、バンプの高さと受動素子用の基板の厚さの合計以上あるため、バンプやパッドの大きさを小さくしても、インダクタと能動素子用の基板との距離を十分広く保つことが可能である。

【0086】なお、受動素子用のシリコン基板41には、高抵抗シリコン基板を用いているため、この高抵抗シリコン基板41によるスパイラルインダクタ43への影響は非常に小さく、問題とはならない。

【0087】図10は、本実施形態の他の例に係るモノリシックICの断面構成を示したものである。

【0088】図10に示すように、能動素子用の基板61には、n型或いはp型のシリコン基板が用いられており、このシリコン基板61上には、能動素子部62(MOSトランジスタ等の能動素子及び配線等からなる)が形成されている。また、このシリコン基板61上には、MOSトランジスタ等の能動素子に接続された端子63が形成されており、この端子63上には突起状電極(貫通電極)64が形成されている。

【0089】受動素子用の基板71には、ポリイミド等の有機材料を用いた絶縁基板が用いられる。この絶縁基板71上には、スパイラルインダクタ72が形成されており、スパイラルインダクタ72の端子73は、突起状電極64によって能動素子用の基板に形成された端子63と接続されている。すなわち、突起状電極64によってスパイラルインダクタ72と、能動素子用の基板61に形成された能動素子とが電気的に接続されている。スパイラルインダクタ72はCu箔をパターンニングすることによって形成される。なお、スパイラルインダクタ72等の基本的な平面形状は、図6に示した平面形状とほぼ同様である。

【0090】以下、図10に示したモノリシックICの製造プロセスについて説明する。

【0091】まず、受動素子用の基板71にスパイラルインダクタ等を形成する工程について、図11(a)～(c)を参照して説明する。

【0092】まず、図11(a)に示すように、厚さ18 $\mu$ mのCu箔72aに、絶縁基板71となる厚さ30

14

$\mu$ mのポリイミドフィルムを貼り付ける。例えば、Cu箔72aに直接ポリイミドを電着し、これを300℃でキュアすることによって図11(a)に示すよう構造が得られる。

【0093】次に、図11(b)に示すように、Cu箔72aにレジスト74のパターンを形成する。

【0094】次に、図11(c)に示すように、レジスト74をマスクとして、Cu箔72aを硫酸を含んだエッチング液を用いてエッチングし、スパイラルインダクタ72及びスパイラルインダクタの端子73を形成する。ウェットエッチングを用いることにより、膜厚の厚いCu箔72aを容易にエッチングすることができ、プロセスの簡略化や製造コストの低減をはかることができる。

【0095】その後、必要に応じて、スパイラルインダクタ72が形成された側にパッシベーション膜等を形成する。

【0096】一方、能動素子用のシリコン基板61上には、図12に示すように、通常の半導体プロセスを用いて、能動素子部62(MOSトランジスタ等の能動素子及び配線等からなる)及びMOSトランジスタ等に接続された端子63を形成し、さらに端子63上に突起状電極64を形成する。突起状電極64は、金属材料をメッキ法や印刷法によってパターン形成することによって得られる。

【0097】以上のようにして用意した能動素子用の基板61及び受動素子用の基板71を対向させて位置合わせを行った後、能動素子用の基板61上に形成された突起状電極64を受動素子用の基板71内に押し込んで、突起状電極64を受動素子用の基板71に形成された端子73に圧着接続する。受動素子用の基板71にはポリイミドフィルムを用いているため、突起状電極64はポリイミドフィルムを貫通して端子73に圧着接続される。これにより、図10に示すようなモノリシックICが完成する。

【0098】なお、本例では、受動素子用の基板としてポリイミドフィルムを用いているため、能動素子用の基板とポリイミドフィルムとの間の熱ストレス等による歪みを緩和できるようにする必要がある。そのため、基板材料の熱膨張係数の最適化や貫通電極どおしの距離の最適化を行うようにする。また、歪みによるポリイミドフィルムの反り等を防止するために、図13に示すように、能動素子用の基板とポリイミドフィルムとの間に、弾性率の低いシリコーン樹脂やエポキシ樹脂等の低誘電率の絶縁材料(比誘電率が4.0以下が好ましい)75を充填するようにしてもよい。また、温度や湿度等の影響を低減するために、透水性や吸水性の低い絶縁材料を用いることが好ましい。

【0099】本例においても、先に述べた例と同様、スパイラルインダクタと能動素子用の基板との距離を小さ



15

くすることができ、スパイラルインダクタに対する能動素子用の基板の影響を小さくすることができる。

【0100】（実施形態3）次に、本発明の第3の実施形態について説明する。本実施形態は、回路基板、特に、薄膜パッケージ基板（マルチチップモジュール等）、CSPパッケージ、テープ状フィルムキャリア、フィルム状受動素子（抵抗（R）、インダクタ（L）、キャパシタ（C）、或いはR、L及びCからなるモジュール等）、多層基板配線（インターポザー等）に好適な回路基板に関するものである。

【0101】図14は、本実施形態の一例に係る回路基板の製造方法を示した工程断面図である。

【0102】まず、図14（a）に示すように、銅箔（Cu箔）101を用意する。続いて、図14（b）に示すように、磁性を有する導電性ペーストを用いて、銅箔101上にプラグ102を形成する。

【0103】図15は、プラグ102の形成方法の一例を模式的に示した図である。

【0104】図に示すように、プラグ102に対応した開口を有する印刷板201を用い、スキージ202によって、磁性を有する導電性ペースト102aを銅箔101上に印刷する。銅箔101の裏面側には磁石203が配置されているため、磁力を制御することにより、導電性ペースト102aを所望の形状に制御性よく印刷することができる。例えば、先鋭な形状を有する導電性ペースト102aを印刷することができる。印刷された導電性ペースト102aを加熱によって硬化させることにより、プラグ102が形成される。

【0105】磁性を有する導電性ペースト102aとしては、磁性体粒子（Ni、Fe、Co、FeO等）、非磁性体導電性粒子（Ag、Cu、Au等）及びバインダー（エポキシ系樹脂、アクリル系樹脂等）からなる混合物を溶媒に分散させ、溶媒によって溶液の粘度とチキソ性をコントロールしたものを用いることができる。

【0106】プラグ102を形成した後、図14（c）に示すように、ポリイミド系複合物からなる絶縁シート103aを用意し、これをプラグ102が形成された銅箔101に圧着させる。この圧着処理により、プラグ102が絶縁シート103aを貫通する。その後、キュア処理を行う。ポリイミド系複合物としては、弾性率が10 GPa未満の低弾性率のものを用いる（他の例でも、同様なポリイミド系複合物を用いるものとする）。このような材料を用いることにより、接着性に優れた絶縁層を接着層なしに容易に形成することができ、製造工程の簡略化をはかることができる。

【0107】上述したポリイミドを含む複合物は、主として二つの成分から構成される。一つはポリアミック酸を含むポリイミド成分、もう一つはポリイミド成分以外のポリマー成分である。

【0108】一般に、ポリイミドは、酸ジ無水物とジア

16

ミンとを重縮合してポリアミック酸を形成した後、250℃～350℃に加熱し、脱水閉環反応によってイミド化することによって得られる。ところが、ポリイミドの先駆体であるポリアミック酸は、一般的には不安定で保存安定性が悪く、他の成分を付加して改善をはかることは困難である。そのため、接着性や弾性等の機械的性質の改善が困難であった。

【0109】これに対して、本実施形態で用いるポリイミドを含む複合物は、比較的安定なポリアミック酸を含むポリイミド粒子と、反応基を有するポリマー（例えば、低弾性を有するゴムやシリコン等のポリマー）とを混合し、200℃～250℃で加熱してこれらを反応させることによって形成される。

【0110】その後、プラグ102の先端部が絶縁シート103aの表面よりも上側に突出している場合には、CMP等によって平坦化処理を行う。このようにして、図14（d）に示すように、絶縁層103内にプラグ102が形成された構造が得られる。

【0111】その後、銅箔101上にレジストパターン（図示せず）を形成する。このレジストパターンをマスクとして銅箔101をエッチングし、配線等からなる回路パターン101aを形成する。レジストを除去した後、回路パターン101a上にソルダーレジスト104のパターンを形成し、図14（e）に示すような回路基板が得られる。

【0112】なお、上述した例では、図14（c）の工程においてパターンが形成されていない絶縁シート103aを用いたが、図14（f）に示すように、プラグ102に対応した位置に開口パターンを有する絶縁シート103aを用いるようにしてもよい。

【0113】図16は、本実施形態の他の例に係る回路基板の製造方法を示した工程断面図である。なお、図14に示した構成要素と対応する構成要素には同一の参照符号を付し、詳細な説明は省略する。

【0114】基本的な工程については図14に示した例と同様であるが、本例では、図16（c）の工程において、ポリイミド系複合物からなる絶縁層103をメッキ処理によって形成している。メッキ処理により、接着性に優れた絶縁層を接着層なしに容易に形成することができ、製造工程の簡略化をはかることができる。

【0115】図17は、本実施形態の他の例に係る回路基板の製造方法を示した工程断面図である。

【0116】まず、図17（a）に示すように、銅箔（Cu箔）111を用意する。続いて、図17（b）に示すように、銅箔111上に、プラグ（後の工程で形成される）に対応した開口を有するレジストパターン112を形成する。その後、図17（c）に示すように、電解メッキ法によりレジストパターン112の開口内に選択的にプラグ（Cuプラグ）113を形成し、その後レジストパターン112を除去する。

17

【0117】次に、図17(d)に示すように、図16に示した例と同様にして、ポリイミド系複合物からなる絶縁層114をメッキ処理によって形成する。続いて、CMP等によって平坦化処理を行い、図17(e)に示すように、絶縁層114内にプラグ113が形成された構造が得られる。

【0118】その後、銅箔111上にレジストパターン(図示せず)を形成する。このレジストパターンをマスクとして銅箔111をエッチングし、配線等からなる回路パターン111aを形成する。レジストを除去した後、回路パターン111a上にソルダーレジスト115のパターンを形成し、図17(f)に示すような回路基板が得られる。

【0119】本例によれば、電解メッキ法により、レジストパターン112の開口内に選択的にプラグ113を形成するので、製造工程の簡略化をはかることができるとともに、プラグ113の密着性を向上させることができる。

【0120】図18は、本実施形態の他の例に係る回路基板の製造方法を示した工程断面図である。

【0121】まず、図18(a)に示すように、Cu層121、Ta<sub>2</sub>N層122及びCu層123からなる積層箔を用意する。続いて、図18(b)に示すように、Cu層123上に、プラグ(後の工程で形成される)に対応した開口を有するレジストパターン124を形成する。その後、レジストパターン124をマスクとしてCu層123をエッチングし、プラグ(Cuプラグ)123aを形成する。このエッチング工程において、Ta<sub>2</sub>N層122がエッチングのストッパーとして機能する。さらに、レジストパターン124を除去し、図18(c)に示すような構造が得られる。

【0122】次に、図18(d)に示すように、図16に示した例と同様にして、ポリイミド系複合物からなる絶縁層125をメッキ処理によって形成する。続いて、CMP等によって平坦化処理を行い、図18(e)に示すように、絶縁層125内にプラグ123aが形成された構造が得られる。

【0123】その後、Cu層121上にレジストパターン(図示せず)を形成する。このレジストパターンをマスクとしてCu層121をエッチングし、配線等からなる回路パターン121aを形成する。レジストを除去した後、回路パターン121a上にソルダーレジスト126のパターンを形成し、図18(f)に示すような回路基板が得られる。

【0124】図19は、本実施形態の他の例に係る回路基板の製造方法を示した工程断面図である。

【0125】途中の工程(図19(a)～図19

(d))までは、図14(a)～図14(d)に示した工程と同様である。本例では、図19(d)の工程の

後、図19(e)に示すように、銅箔101と逆側に銅

18

箔105を熱圧着する。その後、銅箔101上及び銅箔105上にそれぞれレジストパターン(図示せず)を形成する。これらのレジストパターンをマスクとして銅箔101及び105をエッチングし、配線等からなる回路パターン101a及び105aを形成する。レジストを除去した後、回路パターン101a上及び105a上に、それぞれソルダーレジスト104a及び104bのパターンを形成し、図19(f)に示すような回路基板が得られる。

10 【0126】図20は、本実施形態の他の例に係る回路基板の製造方法を示した工程断面図である。

【0127】途中の工程(図20(a)～図20

(d))までは、図16(a)～図16(d)に示した工程と同様である。また、その後の工程(図20(e)～図20(f))については、図19(e)～図19(f)に示した工程と同様である。したがって、これらの詳細については省略する。

【0128】図21は、本実施形態の他の例に係る回路基板の製造方法を示した工程断面図である。

20 【0129】途中の工程(図21(a)～図21

(d))までは、図14(a)～図14(d)に示した工程と同様である。本例では、図21(d)の工程の後、図21(e)に示すように、シード層(Cuシード層)106を形成する。その後、回路パターンに対応した開口を有するレジストパターン107を形成し、さらに電解メッキ法によって開口内に選択的にCu層108(回路パターン108a)を形成する。

【0130】レジストパターン107及びシード層106を除去した後、銅箔101上にレジストパターン(図示せず)を形成する。このレジストパターンをマスクとして銅箔101をエッチングし、配線等からなる回路パターン101aを形成する。レジストを除去した後、回路パターン101a上及び108a上に、それぞれソルダーレジスト104a及び104bのパターンを形成し、図21(f)に示すような回路基板が得られる。

【0131】図22は、本実施形態の他の例に係る回路基板の製造方法を示した工程断面図である。

【0132】まず、図22(a)に示すように、貼り付けが行われる2枚の基板を用意する。一方の基板は、図14或いは図16等で示した方法を用いて作製された基板であり、銅箔101上の絶縁層103内にプラグ102が形成された構造を有している。他方の基板は、ガラスエポキシ等のコア基板131上に回路パターン132が形成されたプリント基板或いはパッケージ基板である。図22(b)に示すように、これらの2枚の基板を貼り付ける。さらに、銅箔101上にレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして銅箔101をエッチングし、回路パターン101aを形成する。これにより、図22(c)に示すように、回路パターン132と回路パターン101aとがブ

50

ラグ102によって接続された回路基板が得られる。

【0133】図23は、本実施形態の他の例に係る回路基板の製造方法を示した工程断面図である。

【0134】図22に示した例では、2枚の基板を貼り合わせた後、銅箔101のパターニングを行って回路パターン101aを形成したが、本例では、図23(a)に示すように、2枚の基板を貼り合わせる前に回路パターン101aを形成している。その後、2枚の基板を貼り合わせ、図23(b)に示すように、回路パターン132と回路パターン101aとがプラグ102によって

接続された回路基板が得られる。

【0135】以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【0136】

【発明の効果】本発明によれば、深さ20 $\mu$ m以上の溝に絶縁物を充填し、この絶縁物が充填された領域上に受動素子を形成するので、寄生容量及び寄生抵抗を十分に低減することができ、しかも十分な機械的強度を得ることが可能となる。

【0137】また、本発明によれば、能動素子用の半導体基板と受動素子との距離を、受動素子用の基板の厚さ以上にすることができ、受動素子に対する半導体基板の影響を十分に低減することが可能となる。

【0138】また、本発明によれば、絶縁層を貫通する導電接続部を有する回路基板において、磁性を有する導電性ペーストを用いることにより、簡単な工程で形状制御の容易な導電接続部を形成することが可能となる。さらに、メッキ法により開口内に選択的に導電接続部を形成する方法では、簡単な工程で密着性に優れた導電接続部を形成することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る集積回路装置の主要部の構成例を模式的に示した断面図。

【図2】本発明の第1の実施形態に係る集積回路装置の主要部の構成例を模式的に示した平面図。

【図3】図1に示した構造を得るための製造工程例を示した工程断面図。

【図4】インダクタに印加される周波数を変化させたときの、溝内に埋め込まれる絶縁膜の膜厚とQ値との関係について示した図。

【図5】本発明の第2の実施形態の一例に係る集積回路装置の主要部の構成例を模式的に示した断面図。

【図6】本発明の第2の実施形態の一例に係る集積回路

装置の主要部の構成例を模式的に示した平面図。

【図7】図5に示した受動素子用の基板にインダクタ等を作製するための製造工程の一部を示した工程断面図。

【図8】図5に示した受動素子用の基板にインダクタ等を作製するための製造工程の一部を示した工程断面図。

【図9】図5に示した能動素子用の基板に能動素子等を作製した構造を示した断面図。

【図10】本発明の第2の実施形態の他の例に係る集積回路装置の主要部の構成例を模式的に示した断面図。

【図11】図10に示した受動素子用の基板にインダクタ等を作製するための製造工程の一部を示した工程断面図。

【図12】図10に示した能動素子用の基板に能動素子等を作製した構造を示した断面図。

【図13】図10に示した集積回路装置の変更例を模式的に示した断面図。

【図14】本発明の第3の実施形態に係る回路基板について、その製造方法の一例を示した工程断面図。

【図15】本発明の第3の実施形態に係る回路基板について、その製造方法の他の例を示した工程断面図。

【図16】本発明の第3の実施形態に係る回路基板について、その製造方法の他の例を示した工程断面図。

【図17】本発明の第3の実施形態に係る回路基板について、その製造方法の他の例を示した工程断面図。

【図18】本発明の第3の実施形態に係る回路基板について、その製造方法の他の例を示した工程断面図。

【図19】本発明の第3の実施形態に係る回路基板について、その製造方法の他の例を示した工程断面図。

【図20】本発明の第3の実施形態に係る回路基板について、その製造方法の他の例を示した工程断面図。

【図21】本発明の第3の実施形態に係る回路基板について、その製造方法の他の例を示した工程断面図。

【図22】本発明の第3の実施形態に係る回路基板について、その製造方法の他の例を示した工程断面図。

【図23】本発明の第3の実施形態に係る回路基板について、その製造方法の他の例を示した工程断面図。

【符号の説明】

11…シリコン基板

12…溝

13…低誘電率絶縁膜

14…スパイラルインダクタ

15…能動素子部

16a、16b、16c…接続部

17a、17b…スパイラルインダクタの端子

18…層間絶縁膜

31…シリコン基板

32…能動素子部

33…端子

34…バンパ

41…高抵抗シリコン基板

10

20

30

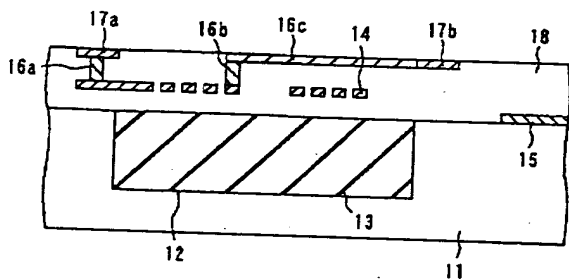
40

50

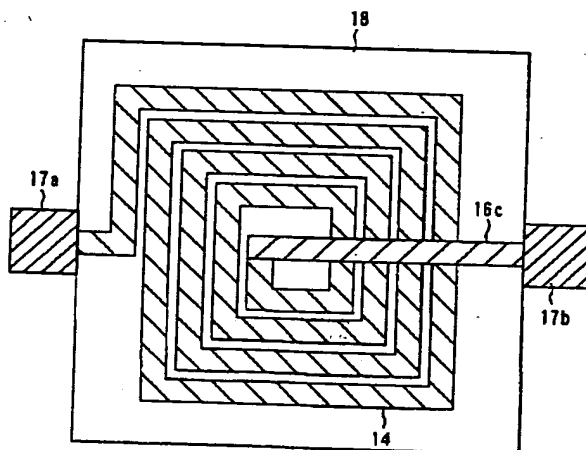
- 4 2、4 6…絶縁膜  
4 3…スパイラルインダクタ  
4 4…スパイラルインダクタの端子  
4 5…接続用穴  
4 7…貫通電極  
4 8…レジスト  
6 1…シリコン基板  
6 2…能動素子部  
6 3…端子  
6 4…突起状電極  
7 1…絶縁基板  
7 2…スパイラルインダクタ  
7 3…スパイラルインダクタの端子  
7 4…レジスト  
7 5…絶縁材料  
1 0 1、1 0 5、1 1 1…銅箔

- 101a、105a、108a、111a、121a、  
132…回路パターン  
102、113、123a…プラグ  
102a…磁性を有する導電性ペースト  
103、114、125…絶縁層  
103a…絶縁シート  
104、104a、104b、115、126…ソルダ  
ーレジスト  
106…シード層  
107、112、124…レジストパターン  
108、121、123…Cu層  
122…Ta<sub>2</sub>N層  
131…コア基板  
201…印刷板  
202…スキージ  
203…磁石

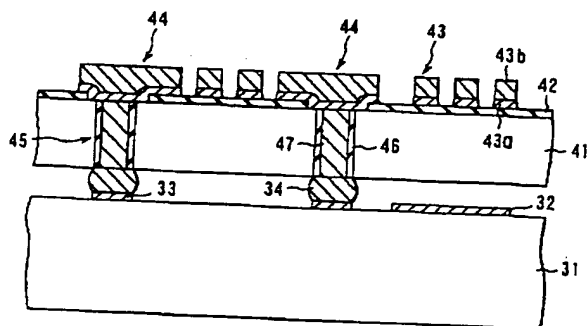
【図 1】



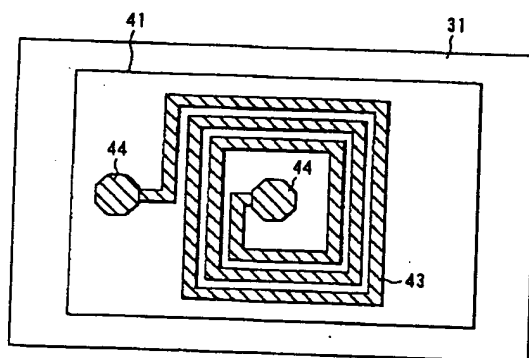
【图2】



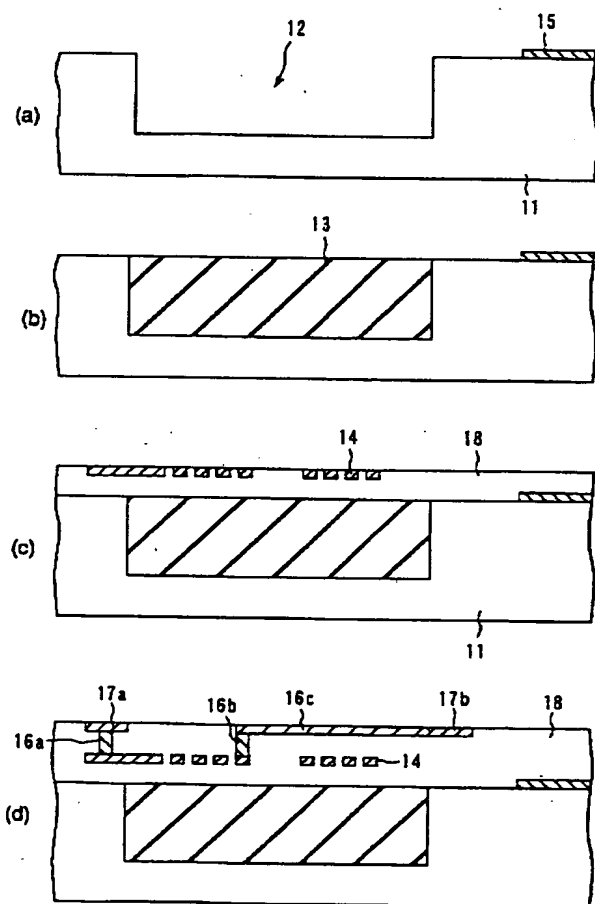
【図 5】



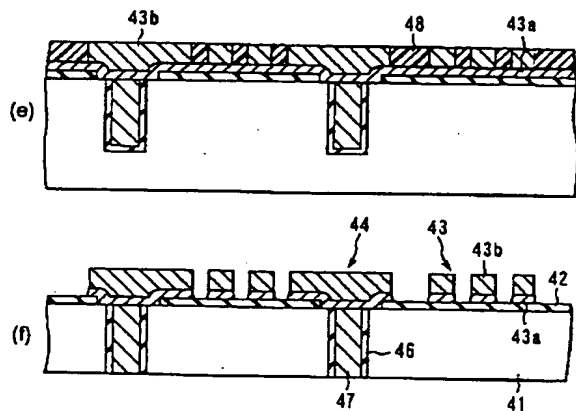
【図 6】



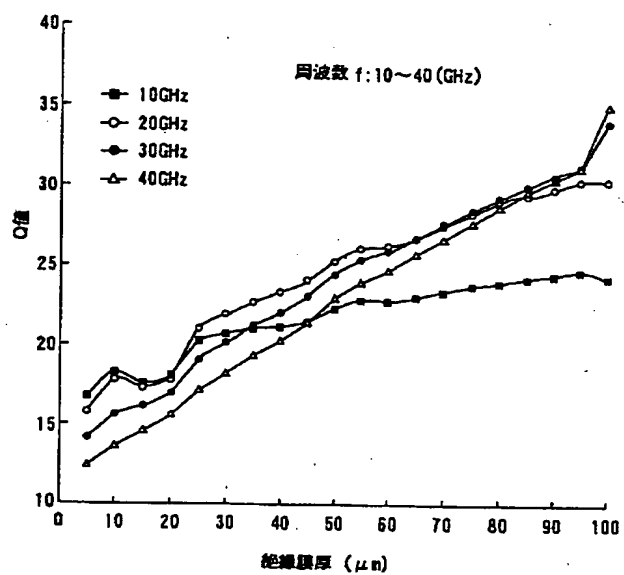
【図3】



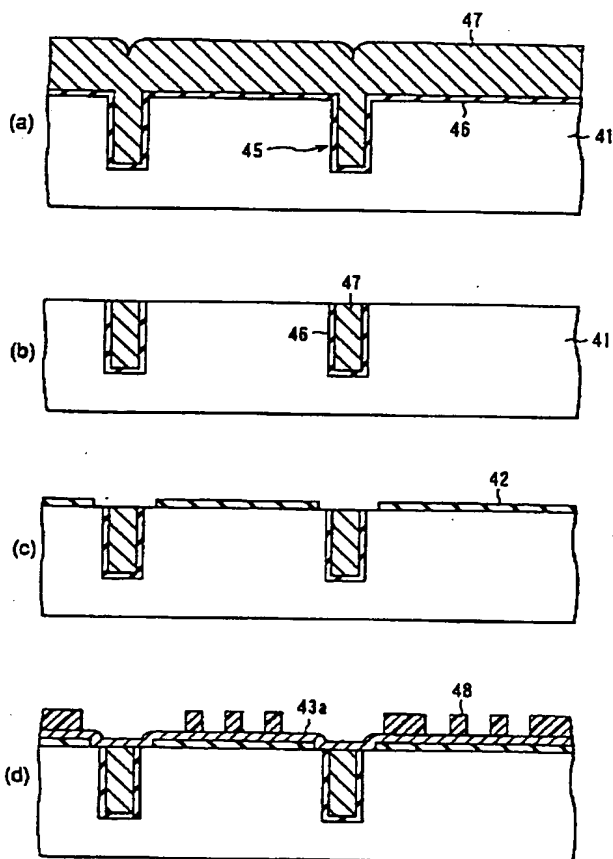
【図8】



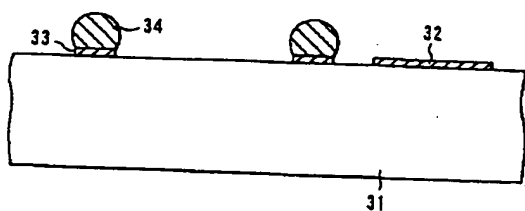
【図4】



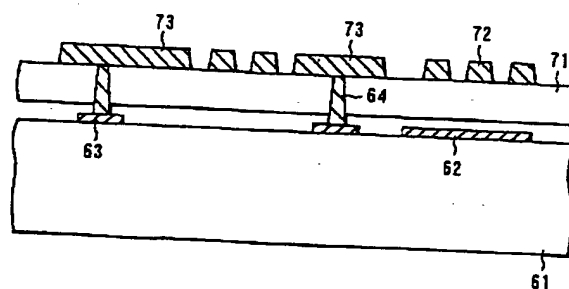
【図7】



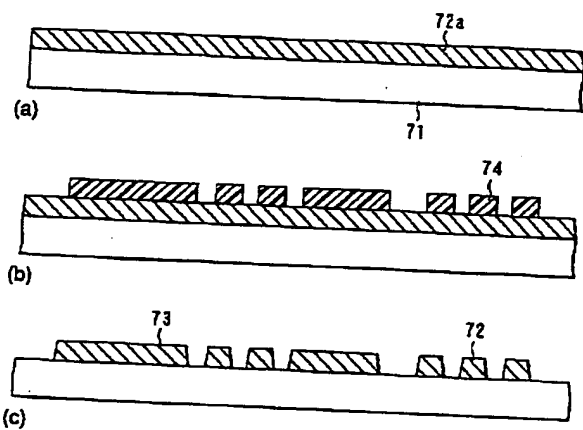
【図9】



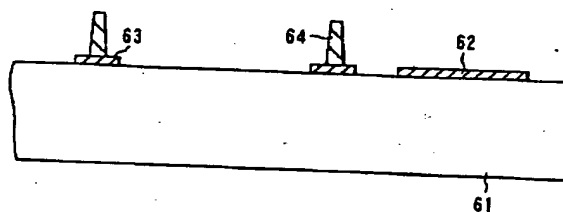
【図10】



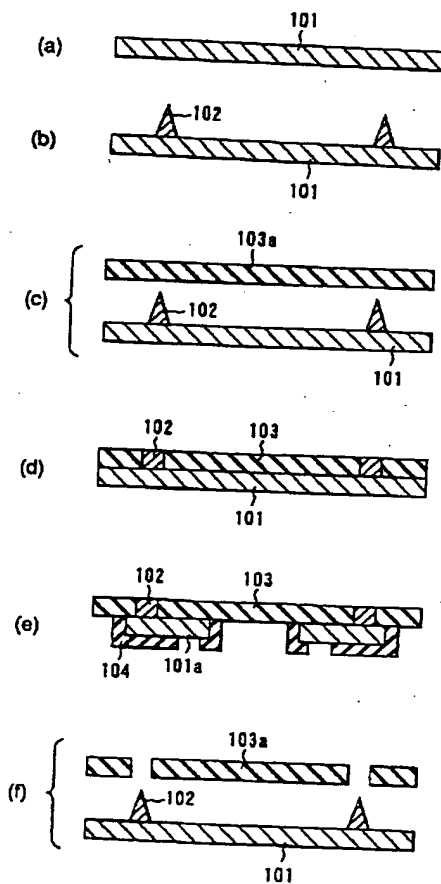
【図11】



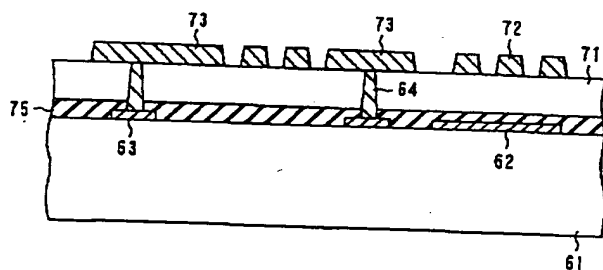
【図12】



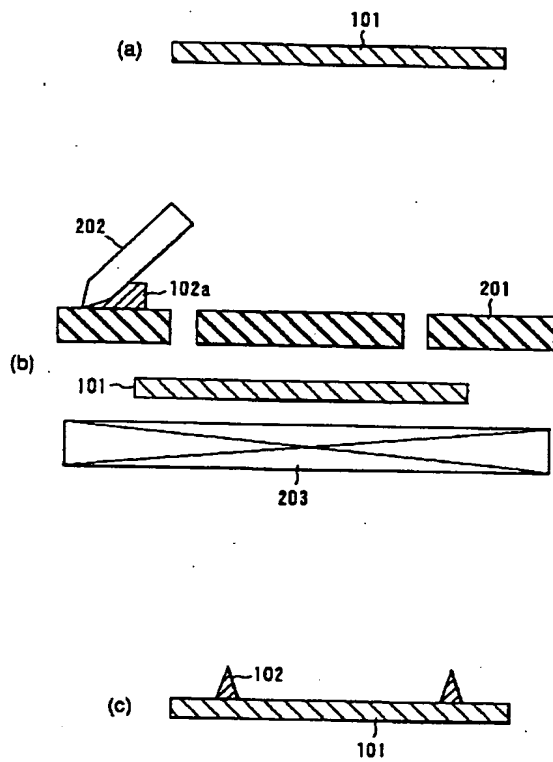
【図14】



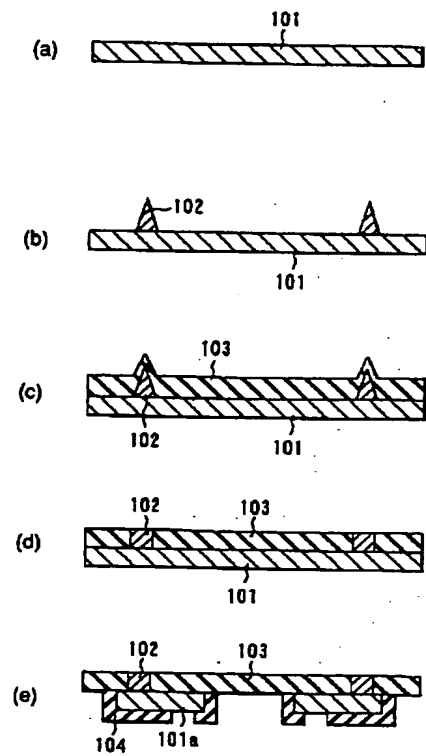
【図13】



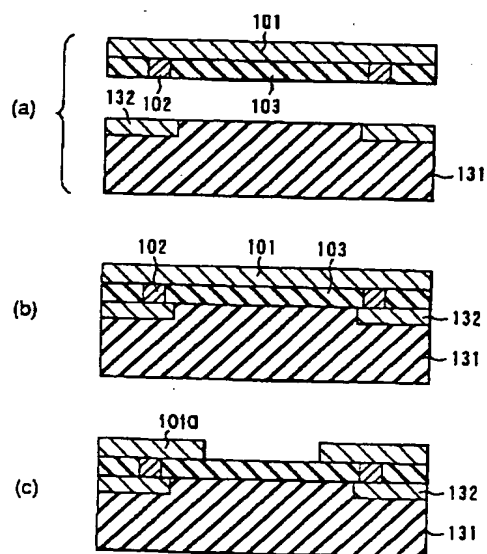
【図 15】



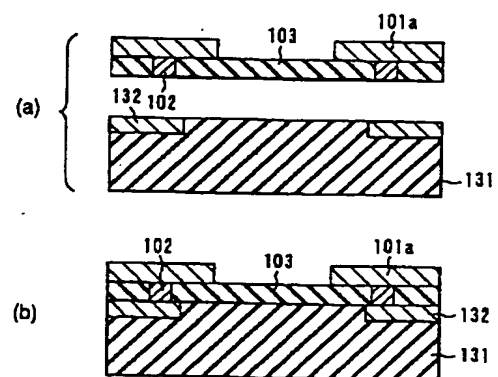
【図 16】



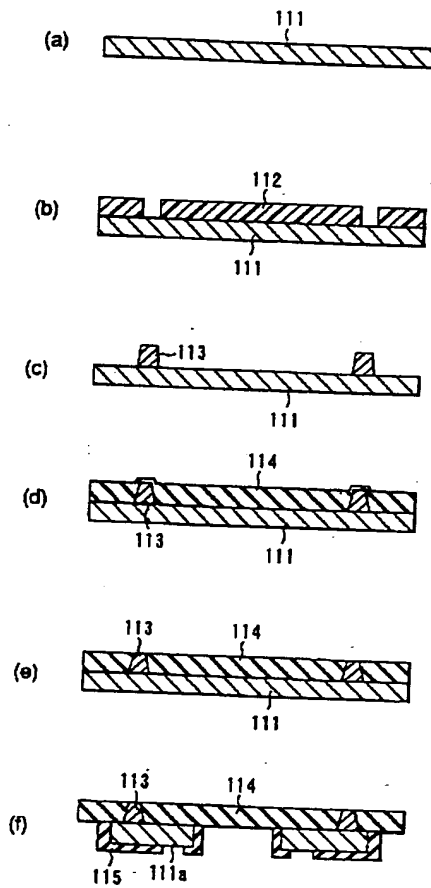
【図 22】



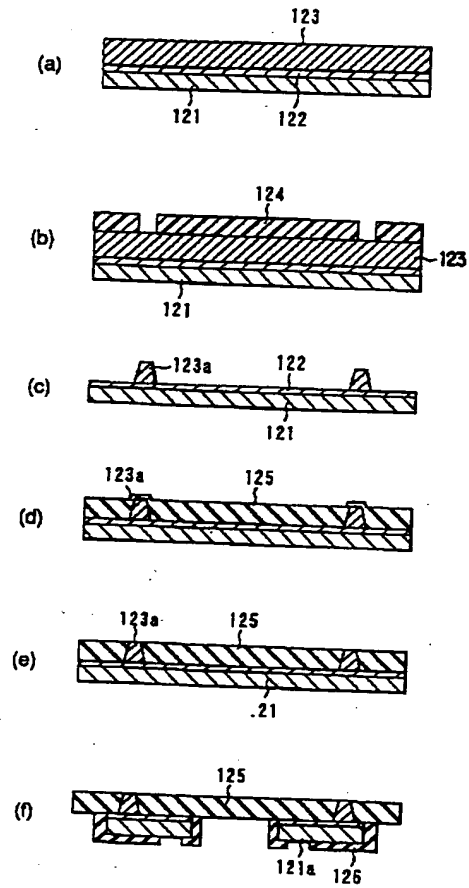
【図 23】



【図17】

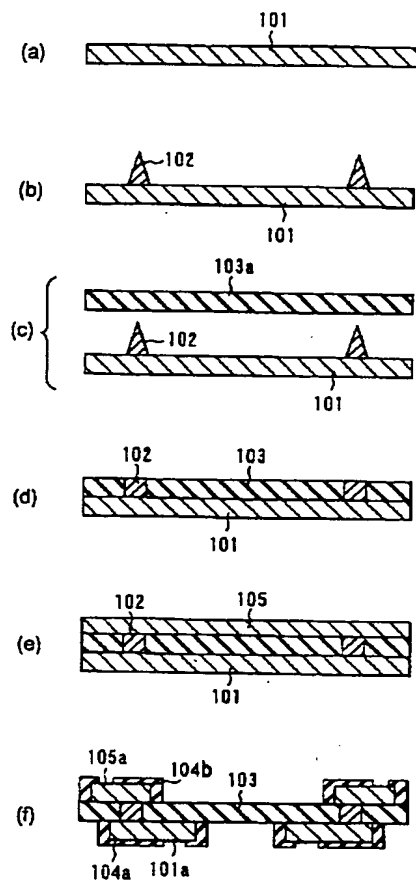


【図18】

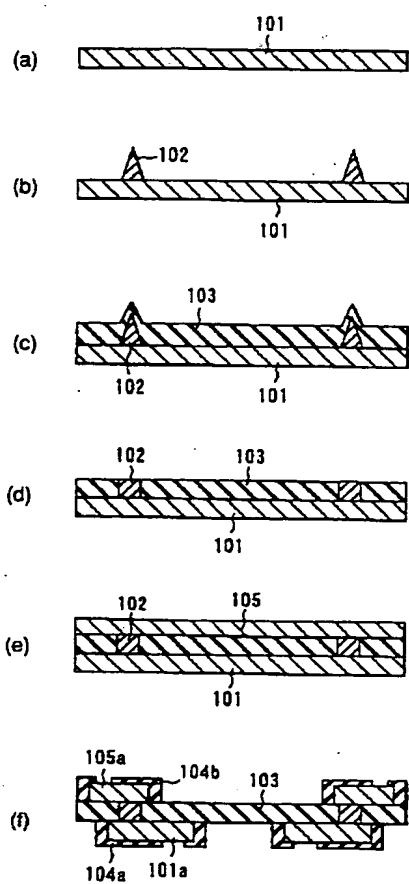




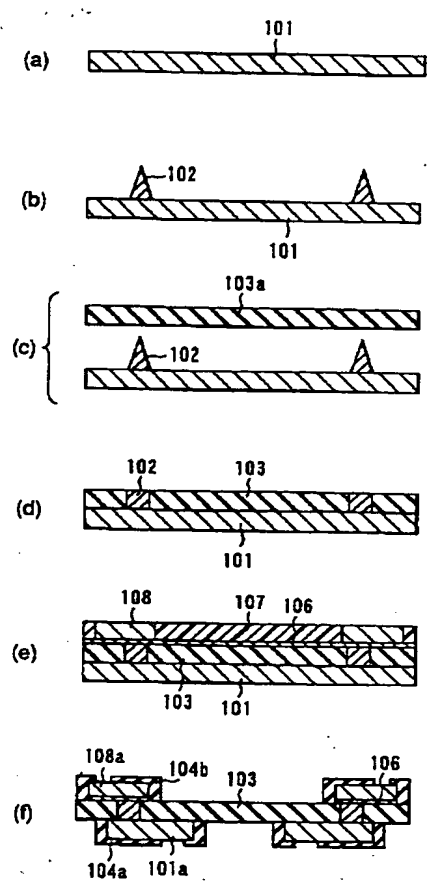
【図19】



【図20】



【図21】



フロントページの続き

(72) 発明者 早坂 伸夫  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72) 発明者 奥村 勝弥  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内

**THIS PAGE BLANK (USPTO)**